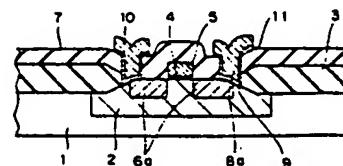
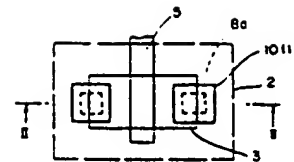


(54) SEMICONDUCTOR DEVICE INCLUDING P-CHANNEL TYPE FIELD EFFECT TRANSISTOR

(11) 2-228071 (A) (43) 11.9.1990 (19) JP
 (21) Appl. No. 64-48921 (22) 28.2.1989
 (71) NEC CORP (72) SHOICHI SASAKI
 (51) Int. Cl.³ H01L29/46, H01L21/336, H01L29/784, H01L27/088

PURPOSE: To make it possible to obtain a semiconductor device capable of high speed advancement and high integration by forming a silicide alloy film at the surface of each silicon in source, drain, and well regions exposed in an opened window.

CONSTITUTION: An opened window 8a is bored selectively in an interlayer insulating film 7 provided on the whole face, and both of source and drain regions 6a and a well region are exposed in the opened window 8a. A silicide alloy film 9 consisting of high melting point metal is provided at the surface of this exposed semiconductor substrate, and source and drain electrodes 10 in contact with the silicide alloy film 9 are formed. When the well region 2 of N-conductivity type and the silicide alloy film 9 contact with each other, the silicide alloy film 9 is falsely changed into P and is connected to the source and drain regions. Accordingly, short circuit between the source and drain regions and the well region 2 is prevented, and yield rate in manufacturing is elevated, and the process becomes simple, and the term of manufacturing can be shortened. Hereby, high integration and high speed advancement by micronization of an element become possible.



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

平2-228071

⑬ Int. Cl.³

H 01 L 29/46
21/336
29/784
// H 01 L 27/088

識別記号

S

庁内整理番号

7638-5F

⑭ 公開 平成2年(1990)9月11日

8422-5F H 01 L 29/78 3 0 1 P
7735-5F // H 01 L 27/08 1 0 2 E

審査請求 未請求 請求項の数 1 (全5頁)

⑮ 発明の名称 Pチャネル型電界効果トランジスタを含む半導体装置

⑯ 特 願 平1-48921

⑰ 出 願 平1(1989)2月28日

⑱ 発 明 者 佐々木 正一 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

⑳ 代 理 人 弁理士 藤巻 正憲

明 細 書

1. 発明の名称

Pチャネル型電界効果トランジスタを
含む半導体装置

2. 特許請求の範囲

(1) 半導体基板上の素子間分離用フィールド絶縁膜に囲まれた素子形成領域にN導電型ウエル領域、ソース及びドレイン領域並びにゲート電極を形成し、更に全面に層間絶縁膜を形成してPチャネル型電界効果トランジスタを構成した半導体装置において、前記層間絶縁膜に選択的に形成され、前記ソース領域と前記ウエル領域及び前記ドレイン領域と前記ウエル領域とに夫々またがるパターンを有する開孔窓と、この開孔窓内に設けられた高融点金属からなるシリサイド合金膜と、このシリサイド合金膜に接するバリア金属膜と、前記開孔窓を埋め込む埋込金属膜とを有し、これらのシリサイド合金膜、バリア金属膜及び埋込金属膜によりソース及びドレイン電極を構成したこととを特徴とするPチャネル型電界効果トランジスタ

を含む半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明はPチャネル型電界効果トランジスタを有する半導体装置に関する。

〔従来の技術〕

近時、半導体装置の高速化及び高集積化を図るべく素子寸法の微細化が増々促進されている。一方、素子寸法の微細化に伴い、半導体装置の製造工期も長くなってきている。

第4図は一般的に用いられている従来のPチャネル型電界効果トランジスタ(以下、PMOSと略す)の平面図であり、第5図は第4図のV-V線による断面図である。

半導体基板1の表面に素子分離用の厚いフィールド絶縁膜3が選択的に形成されており、このフィールド絶縁膜3に囲まれた素子形成領域にNウエル領域2が形成されている。

また、Nウエル領域2上には酸化シリコン膜よりのゲート絶縁膜4が形成されており、このゲ

ート絶縁膜4を介してゲート電極5が所定のパターンで形成されている。

更に、P型導電層よりなるソース・ドレイン領域8がNウェル領域2の表面に選択的に形成されており、半導体基板1の全面には層間絶縁膜7が被着されている。そして、この層間絶縁膜7に選択的にソース・ドレイン開孔窓8を設け、ソース・ドレイン領域8の一部を露出させた後、この開孔窓8に埋め込むようにして、多結晶シリコン膜12及びアルミニウム等の低導電率の金属からなるソース・ドレイン電極10を選択的に設けてある。
 [発明が解決しようとする課題]

ところで、PMOSトランジスタの高速化及び高集積化を図るためには素子寸法の微細化が必須である。素子寸法を微細化する一つの手段として第4図に示すようにソース・ドレイン領域8の上の層間絶縁膜7に選択的に形成した開孔窓8とフィールド絶縁膜3の縁部との間の距離xを可及的に小さくする方法がある。

しかし、従来のPMOSでは、前述の距離xを

に選択的に不純物原子を導入する工程が増えるため、半導体装置の製造工期が長くなり、半導体装置の製造コストが高くなってしまいうという欠点がある。

本発明はかかる問題点に鑑みてなされたものであって、ソース・ドレイン領域とウェル領域との短絡が防止され、製造歩留りが高いと共に、工程が簡素で製造工期も短かくすることができ、素子の微細化による高集積化及び高速化が可能なPチャネル型電界効果トランジスタを含む半導体装置を提供することを目的とする。

[課題を解決するための手段]

本発明に係るPチャネル型電界効果トランジスタを含む半導体装置は、半導体基板上の素子間分離用フィールド絶縁膜に囲まれた素子形成領域にN導電型ウェル領域、ソース及びドレイン領域並びにゲート電極を形成し、更に全面に層間絶縁膜を形成してPチャネル型電界効果トランジスタを構成した半導体装置において、前記層間絶縁膜に選択的に形成され、前記ソース領域と前記ウェル

縮小させるべく、第8図に示すようにソース・ドレイン領域8aの幅を狭くすると共に、ソース及びドレイン開孔窓8aをフィールド絶縁膜3の縁部に隣接して設けると、素子寸法の微細化は実現できるものの、第8図のVII-VII線による断面図を第7図に示す如く、ソース・ドレイン開孔窓8aの周縁部でソース・ドレイン領域8aとNウェル領域2とがソース・ドレイン電極10により短絡しやすく、このため、半導体装置の歩留りが低いという難点がある。

また、上述した歩留り低下を防止すべく、第8図の如く、ソース・ドレインの開孔窓8aを設けた後、ソース・ドレイン領域8aと同一導電型の不純物原子を選択的に添加して補償領域13を設け、ソース・ドレインの開孔窓8aにNウェル領域2が露出しないようにしてソース・ドレイン領域8aとNウェル領域2との短絡を防止する方法もある。

しかしながら、このような方法によれば、層間絶縁膜7に形成したソース・ドレイン開孔窓8a

領域及び前記ドレイン領域と前記ウェル領域とに夫々またがるパターンを有する開孔窓と、この開孔窓内に設けられた高融点金属からなるシリサイド合金膜と、このシリサイド合金膜に接するバリア金属膜と、前記開孔窓を埋め込む埋込金属膜とを有し、これらのシリサイド合金膜、バリア金属膜及び埋込金属膜によりソース及びドレイン電極を構成したことを特徴とする。

[作用]

本発明においては、全面に設けた層間絶縁膜に選択的に開孔窓を設けて前記開孔窓内にソース及びドレイン領域とウェル領域との双方を露出させ、この露出した半導体基板表面に高融点金属からなるシリサイド合金膜を設けて前記シリサイド合金膜に接するソース及びドレイン電極を構成する。

このため、前記シリサイド合金膜に接するソース及びドレイン領域は接触抵抗が極めて小さく、優れた特性を得ることができる。

ところで、N導電型シリコン層と、金属膜又はシリサイド合金膜とを接続すると、その界面にシ

ショットキーバリアダイオードが形成される。つまり、前記金属膜又はシリサイド合金膜が擬似的にP型シリコン膜と同等の特性を示す。従って、前述したN導電型のウェル領域とシリサイド合金膜とが接すると、シリサイド合金膜が擬似的にP型化してソース及びドレイン領域と接続される。このため、前記開孔窓において、ソース及びドレイン領域とウェル領域とが短絡することはない。

また、シリサイド合金膜は開孔窓を含む全面に白金等の高融点金属を被着した後、約500℃の熱処理を施すことにより、容易に開孔窓にのみ選択的にシリサイド合金膜を形成でき、従来に比して大幅に製造工程を削減することができる。

【実施例】

次に、本発明の実施例について添付の図面を参照して説明する。

第1図は本発明の実施例に係るPMOSを示す平面図であり、第2図は第1図のII-II線による断面図である。第1図及び第2図において、第6図及び第7図と同一物には同一符号を付して詳し

く説明を省略することにより、ソース・ドレイン電極10が設けられている。

本実施例においては、層間絶縁膜7に形成したソース・ドレイン電極形成用の開孔窓8aをソース・ドレイン領域8aとウェル領域2とにまたがって設けている。このため、フィールド絶縁膜3と開孔窓8aとの間の距離を約1乃至4 μ mだけ小さくして素子寸法を微細化でき、高集積化及び高速化の点で優れている。

また、前記開孔窓内に形成したシリサイド合金膜9は、全面に白金等の高融点金属膜を被着した後、約500℃に加熱する熱処理を施すことにより容易にシリコン表面が露出した開孔窓内にのみ形成することができる。従って、製造工程も簡素で且つ製造工期も短くできる。

第3図は本発明の第2の実施例に係る半導体集積回路装置を示す平面図である。なお、本実施例において、その縦断面図は第1の実施例と同様である。また、第3図において第1図と同一物には同一符号を付して説明を省略する。

い説明を省略する。

本実施例においては、フィールド絶縁膜3により仕切られる素子形成領域は、高集積化のために比較的狭く、従って、ソース・ドレイン領域8aはその幅が狭くなるように形成されている。そして、半導体基板1の全面に形成した層間絶縁膜7には、ソース・ドレイン開孔窓8aが形成されており、このソース・ドレイン開孔窓8aは、ソース・ドレイン領域8aとウェル領域2とにまたがって設けられている。

更に、この開孔窓8a内の半導体基板1の表面上には白金等からなるシリサイド合金膜9が形成されている。このシリサイド合金膜9は、ソース・ドレイン領域8aと接している部分においては、低抵抗でソース・ドレイン領域8aと良好な接続をしており、ウェル領域2と接した領域においては、ショットキーバリアダイオードとなっている。このシリサイド合金膜9上及び開孔窓8aの側面上にはバリア金属膜11が選択的に形成されており、このバリア金属膜11上には、アルミニウム

本実施例においては、ソース及びドレイン電極形成用の開孔窓8bはソース領域又はドレイン領域とフィールド絶縁膜3とにまたがって設けられているのに加え、フィールド絶縁膜3の3辺をも含む領域に形成されている。

この開孔窓8bに露出したソース領域又はドレイン領域とウェル領域2の表面上に白金等の高融点金属からなるシリサイド合金膜9を設けた後に、バリア金属膜14を選択的に設け、更に、アルミニウム膜をパターン形成することにより、ソース・ドレイン電極13が形成されている。

本実施例は上述したように、ソース・ドレインの開孔窓8bをフィールド絶縁膜3の3辺にまたがるようにして設けているので、大きな開孔窓8bを有している。

従って、開孔窓8b内に露出したソース・ドレイン領域8a(第2図参照)及びウェル領域2の各シリコン表面に設けたシリサイド合金膜9、バリア金属膜14及びソース・ドレイン電極13と、ソース・ドレイン領域8aとの接触抵抗を低く抑

制することができる。このため、ソース・ドレイン間の寄生負荷抵抗を低減でき、高速の半導体装置を得ることができる。

【発明の効果】

以上説明したように本発明は、N導電型ウェル領域、フィールド絶縁膜、ゲート電極及びソース・ドレイン領域上の全面に設けた層間絶縁膜を有し、前記層間絶縁膜にソース領域とフィールド領域、ドレイン領域とウェル領域にまたがる開孔窓を設け、前記開孔窓内に露出したソース、ドレイン及びウェル領域の各シリコン表面にシリサイド合金膜を形成したから、フィールド絶縁膜端部とソース及びドレイン開孔窓との間の距離を短くすることができ、素子寸法を微細化できる。

また、前記ソース及びドレイン開孔窓にはシリサイド合金膜を設けているので、ソース及びドレイン領域とアルミニウム等で構成した電極との接触抵抗も低減できる。

従って、本発明により高速化及び高集積化可能な半導体装置を得ることができる。

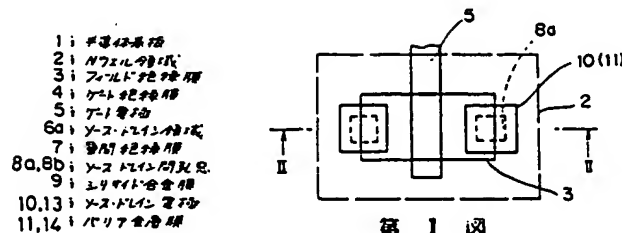
4. 図面の簡単な説明

第1図は本発明の第1の実施例に係る半導体装置を示す平面図、第2図は第1図のII-II線による断面図、第3図は本発明の第2の実施例に係る半導体装置を示す平面図、第4図は従来の半導体装置を示す平面図、第5図は第4図のV-V線による断面図、第6図は従来の他の半導体装置を示す平面図、第7図は第6図のVII-VII線に係る断面図、第8図は従来の更に他の半導体装置を示す断面図である。

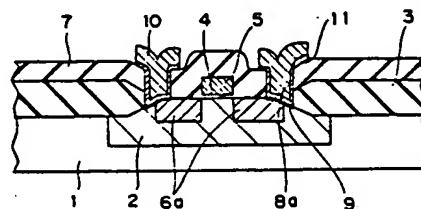
1; 半導体基板、2; Nウェル領域、3; フィールド絶縁膜、4; ゲート絶縁膜、5; ゲート電極、6, 6a; ソース・ドレイン領域、7; 層間絶縁膜、8, 8a, 8b; ソース・ドレイン開孔窓、9; シリサイド合金膜、10; ソース・ドレイン電極、11; バッファ金属膜、12; 多結晶シリコン膜、13; ソース・ドレイン補償領域、

出願人 日本電気株式会社

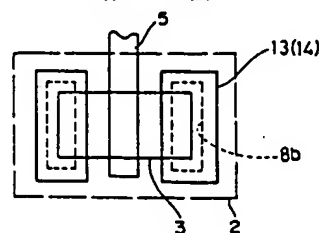
代理人 弁理士 藤巻正憲



第1図

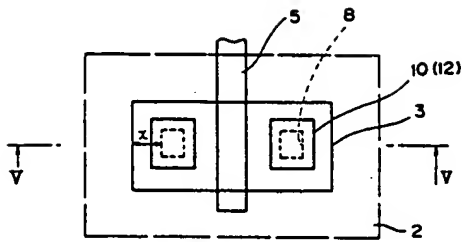


第2図

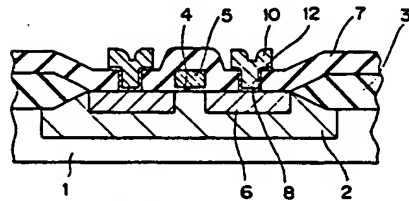


第3図

- 1: 半導体基体
- 2: N型半導体領域
- 3: フォトリソ抵抗膜
- 4: ゲート絶縁膜
- 5: ゲート電極
- 6: Y-2-ドレイン領域
- 7: 層間絶縁膜
- 8: Y-2-ドレイン開口窓
- 10: Y-2-ドレイン電極
- 12: 多結晶シリコン膜

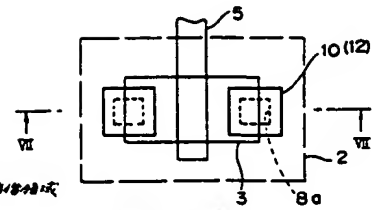


第 4 図

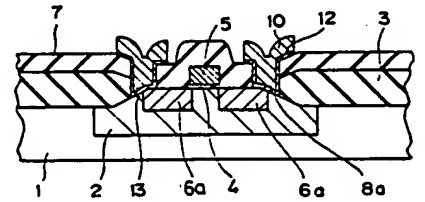


第 5 図

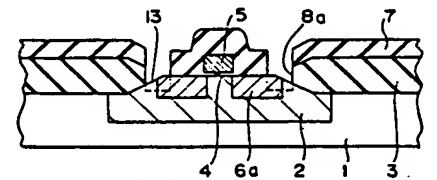
- 1: 半導体基体
- 2: N型半導体領域
- 3: フォトリソ抵抗膜
- 4: ゲート絶縁膜
- 5: ゲート電極
- 6a: Y-2-ドレイン領域
- 7: 層間絶縁膜
- 8a: Y-2-ドレイン開口窓
- 10: Y-2-ドレイン電極
- 12: 多結晶シリコン膜
- 13: Y-2-ドレイン領域の補修領域



第 6 図



第 7 図



第 8 図

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.